

⑨ 日本国特許庁 (J.P.) ⑩ 特許出願公開  
⑫ 公開特許公報 (A) 昭64-86243

⑪ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和64年(1989)3月30日  
G 06 F 9/38 3 5 0 A-7361-5B

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 情報処理装置

⑮ 特 願 昭62-245062

⑯ 出 願 昭62(1987)9月28日

⑰ 発 明 者 西 川 岳 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 発 明 者 日 向 教 雄 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会  
社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 出 願 人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号  
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

主記憶部と、命令を解釈し、制御信号および主記憶部をアクセスするアドレスを生成する命令制御部と、命令の実行時、実行に使用される命令またはデータを保持する緩衝記憶部を含む情報処理装置において、

主記憶部へデータを格納する第1の命令の実行時、該命令で格納すべきデータが未期の場合、該データが揃うまで該データの格納アドレスを含む格納制御情報を保持する複数の制御情報保持手段と、

主記憶部からデータを読出す第2の命令の実行時、読出されるデータのアドレスと、前記制御情報保持手段に保持されているデータのアドレスとの比較による前記第2の命令の未処理ストア命令追越可否判定を、読出されるデータが緩衝記憶部のデータエントリに登録されているかを検出する

- 1 -

アドレスディレクトリ索引動作と並列して行なう検出部を緩衝記憶部に有することを特徴とする情報処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、主記憶部と、命令を解釈し、制御信号および主記憶部をアクセスするアドレスを生成する命令制御部と、命令の実行時実行に使用される命令またはデータを保持する緩衝記憶部を含む情報処理装置に関する。

(従来の技術)

第3図はこの種の情報処理装置の従来例の要部のブロック図である。

主記憶部21には命令、被演算データ、演算結果データ等が格納される。命令実行部24は演算実行に必要なデータや、演算の途中結果を一時的に格納する複数の汎用レジスタ28と、加減乗除、論理演算、シフト等の演算を実行する演算器群291~29nとから構成されている。緩衝記憶部22は命令実行部27と主記憶部21との間

- 2 -

に位置し、命令実行部23で必要な命令あるいはデータを保持し、主記憶部21へのアクセス効率を上げている。命令制御部24は主記憶部21へのアクセスのためのアドレス生成部26、ストア動作制御情報スタック25、アドレス比較器27を有し、命令を緩衝記憶部22を介して主記憶部21から読出して解釈し、主記憶部21や命令実行部23へ必要なアドレス情報や制御情報を供給する。次に、この情報処理装置において下記の命令を実行する場合の動作を説明する。

ADD S0 ← S1 + S2 ... (1)

STORE M(A) ← S0 ... (2)

LOAD S3 ← M(B) ... (3)

加算命令(1)の加算結果をストア命令(2)によって主記憶部21のアドレスAに格納する場合、命令制御部24は加算命令(1)の演算結果が確定しているか否かを判断し、確定していない場合は、ストア命令(2)の実行に必要なアドレス情報および制御情報をストア動作制御情報スタック25に前記演算結果が確定するまで保持し、該演算結果

- 3 -

記憶部22は、命令制御部24からのロード実行指示に対し、データ読出しに先立って時間T<sub>0</sub>に該読出しデータが緩衝記憶部22に登録されているかどうかをアドレスディレクトリを索引することによってチェックし、登録されている場合には目的のデータを読出して命令実行部23へ送出する。

上述した従来の情報処理装置は、ロード命令の未処理ストア命令追越の可否の判断は命令制御部24で行ない、目的のロードデータが緩衝記憶部22にあるか否かの判定は緩衝記憶部22で行なっているため、第2図(2)に示すように、ロード命令の実行時間が、ロード命令の未処理ストア命令追越を行なわない場合に比べ、該追越の可否を判定するのに要する時間だけ遅くなってしまうという欠点がある。

(問題を解決するための手段)

本発明の情報処理装置は、

主記憶部へデータを格納する第1の命令の実行時、該命令で格納すべきデータが未読の場合、該

- 5 -

が確定した時点でストア動作制御情報スタック25から該ストア動作に対応する制御情報を取り出し、該ストア動作を実行する。次に、ロード命令(3)を実行する場合、ロード命令(3)に実行起動をかけるに先立ち命令制御部24は未処理ストア動作制御情報スタック25に登録されている未処理ストア命令のアドレスとロード命令(3)のロードアドレスを比較し、一致するものがないことを確認した後、該ロードに必要な情報を緩衝記憶部22へ送ってロード命令(3)の実行を起動する。(発明が解決しようとする問題点)

第2図(2)は第3図の従来の情報処理装置でロード命令を実行する場合の命令起動時の動作のタイムチャートである。

時間T<sub>1</sub>にアドレス生成部26でアドレスを生成し、時間T<sub>2</sub>にロード命令の実行起動時の先行未処理ストア命令追越可否の判断を命令制御部24で行ないそこで実行起動可になった命令を緩衝記憶部22へ送出する。この命令により、緩衝

- 4 -

データが崩壊するまで該データの格納アドレスを含む格納制御情報を保持する複数の制御情報保持手段と、

主記憶部からデータを読出す第2の命令の実行時、読出されるデータのアドレスと、前記制御情報保持手段に保持されているデータのアドレスとの比較による前記第2の命令の未処理ストア命令追越可否判定を、読出されるデータが緩衝記憶部のデータエントリに登録されているかを検出するアドレスディレクトリ索引動作と並列して行なう検出部を緩衝記憶部に有している。

(作用)

ロード命令実行の場合、ロード命令の未処理ストア命令追越可否判定と、ロードデータの登録の有無の検出が同時に緩衝記憶部で行なわれて、ロード命令実行の可否が決定されるので、ロード命令の起動が追越可否判定に要する時間だけ遅れるということがなくなる。

(実施例)

次に、本発明の実施例について図面を参照して

- 6 -

説明する。

第1図は本発明の情報処理装置の一実施例の要部のブロック図である。

主記憶部1には処理に必要な命令とデータが格納され、緩衝記憶部2を経由して命令制御部4からの指示により命令またはデータが格納され、あるいは読出される。緩衝記憶部2は、主記憶部1からのデータが格納されるデータエントリ5と、そのデータを命令実行部3へ送出するときに使用されるレジスタ8、9と、命令制御部4がロードしようとする命令またはデータがエントリ5に登録されているかを検出するときに、そのアドレスが保持されるアドレスレジスタ7と、データエントリ5に格納されている命令またはデータのアドレスが保持されているアドレスディレクトリ6と、アドレスレジスタ7に保持されたアドレスとアドレスディレクトリ6内のアドレスを比較して一致するアドレスの有無を検出する比較器12と、その結果を保持するレジスタ14と、演算結果持のストア命令の動作に必要なアドレス制御情報が格

- 7 -

納されるスタック10、11および後述のロード命令が先行の未処理のストア命令を超越して実行してよいか否かを判定するためにアドレスレジスタ7に保持されているアドレスとスタック10、11に保持されているアドレス制御情報のアドレスとを比較する比較器13と、その結果を保持するレジスタ15を含んでいる。命令制御部4は主記憶部1への命令またはデータの読出し、または格納のために必要なアドレスを算出するアドレス生成部16および各機能部に対する制御信号を生成する制御信号生成部17を含んでいる。命令実行部3は、演算に必要なデータを演算の中間・最終結果等が格納される汎用レジスタ18と、算術演算、論理演算等を実行する各種演算器19<sub>1</sub>～19<sub>n</sub>を有し、命令制御部4からの制御信号によって各種演算を実行する。

次に、本実施例について前述の命令を実行する場合の動作を説明する。

加算命令(1)の加算結果をストア命令(2)によって主記憶部1の特定のアドレスAに格納する場

- 8 -

合、命令制御部4は加算命令(1)の加算に必要なデータおよび演算のためのリソースが揃っていることを確認して、命令実行部3に対し演算起動をかける。

次に、ストア命令(2)を実行する場合、命令制御部4は加算命令(1)の演算結果が確定している場合には演算結果と制御情報を、演算結果が確定していない場合には制御情報のみを緩衝記憶部2へ送出する。これを受けた緩衝記憶部2はストアデータと制御情報が揃っている場合にはストア動作を実行し、ストアすべき演算結果が未確定で、アドレスを含む制御情報のみを受信した場合には、対応するストアデータを受信するまで該制御情報を制御情報格納用スタック10、11に保持しておく。

次に、命令制御部4がロード命令(3)を実行する場合は、ロード命令を解釈すると、該ロード命令に必要なアドレスおよび制御情報を緩衝記憶部2に送出する。これを受けた緩衝記憶部2はロードすべきデータが緩衝記憶部2内のデータエント

- 9 -

リ5に登録されているか否かをアドレスディレクトリ6を索引することによりチェックする。さらに緩衝記憶部2は上記アドレスディレクトリ索引動作と並行して該ロード命令のアドレスと同じアドレスが制御情報格納用スタック10、11に登録されているか否かをチェックし、該ロード命令がスタック10、11に登録されている未処理ストア命令を追い越して処理できるか否かが判定される。そして目的のデータがデータエントリ5に登録されており、かつロードアドレスと同じアドレスのストア命令が制御情報スタック10、11に登録されていない場合のみ該ロード命令(3)を実行し、データエントリ5に登録されているデータを命令実行部3へ送出する。一方、目的のデータがデータエントリ5に登録されていない場合、あるいは該ロードアドレスと同じアドレスのストア命令が未処理の状態でスタック10、11に登録されている場合は、緩衝記憶部2は命令制御部4に対しその旨を報告する。該報告を受けた命令制御部4は前記要因がなくなるまで緩衝記憶部2

- 10 -

を使用する命令の実行を抑止する。

第2図(1)は上記の動作のタイムチャートである。即ち、命令制御部9において読出したロード命令により時間 $T_1$ にアドレス生成部16で生成されたロード命令の実行に必要なアドレスおよび制御情報が緩衝記憶部2に示され、これにより時間 $T_2$ にアドレスディレクトリ索引<sup>と</sup>追越可否判定が緩衝記憶部2内で並行して行なわれて、実行が決定されると時間 $T_3$ に目的のデータが読出され命令実行部12へ送出される。したがって、従来例(第2図(2))と比較すると追越可否判定に要する時間だけロード命令の起動が早められることになる。

(発明の効果)

以上説明したように本発明は、演算結果待未処理ストア命令を実行するためのアドレスを含む制御情報を演算結果確定時まで保持する手段と、ロード命令が前記演算結果待ストア命令を追い越して実行できるか否かを判定する手段を緩衝記憶部に有し、前記ロード命令の演算結果待ストア命令

- 11 -

追越可否判定動作と緩衝記憶部のアドレスディレクトリ索引動作とを並行して行なうことにより、前記ロード命令の未処理ストア命令追越可否判定に特別に時間をかける必要がなくなり、それによるロード命令の開始の遅れを防ぐことができる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の情報処理装置の一実施例の要部のブロック図、第2図(1)、(2)は演算結果待ストア命令を追越すロード命令の起動時の動作の本実施例と従来例のタイムチャート、第3図は情報処理装置の従来例の要部のブロック図である。

- |               |          |
|---------------|----------|
| 1…主記憶部、       | 2…緩衝記憶部、 |
| 3…命令実行部、      | 4…命令制御部、 |
| 5…データエントリ、    |          |
| 6…アドレスディレクトリ、 |          |
| 7…アドレスレジスタ、   |          |
| 8, 9…レジスタ、    |          |
| 10, 11…スタック、  |          |
| 12, 13…比較器、   |          |

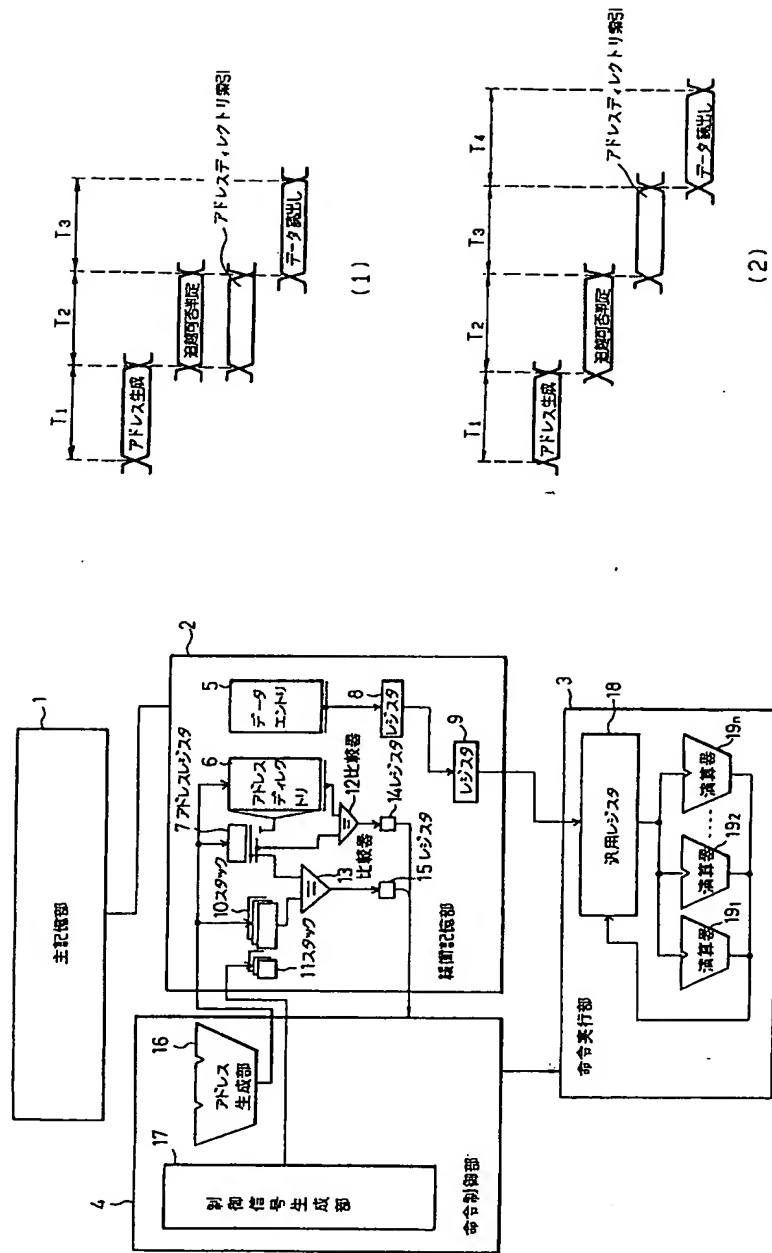
- 12 -

- 14, 15…レジスタ、  
 16…アドレス生成部、  
 17…制御信号生成部、  
 18…汎用レジスタ、  
 19<sub>1</sub>, 19<sub>2</sub>, …, 19<sub>n</sub>…演算器。

特許出願人 日本電気株式会社  
 甲府日本電気株式会社

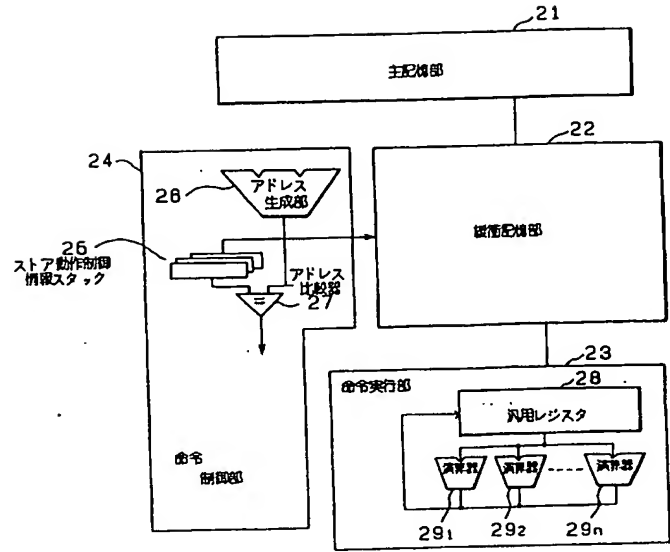
代理人 弁理士 内 原 晋

- 13 -



第 2 図

第 1 図



第 3 図

JP64-86243

Kokai No.: S64-86243

Publication date: March 30, 1989

Application No.: S62-245062

Application date: September 28, 1987

Inventor: Nishikawa Takeshi

Applicant: NEC Corporation

### Specification

#### [1. Title of the Invention]

Information processing unit

#### [2. Claims]

[Claim 1] In an information processing unit including: a main storage part, an instruction control part to generate a control signal and an address for accessing the main storage part, a buffer storage part to store instructions and data for execution when an instruction is executed, said information processing unit includes:

plural of control information storage means to store storage control information, when a first instruction which stores data in the main storage part is under execution and data to be stored by the instruction is not ready, until the data becomes to be ready, said storage control information includes a storage address of said data,

a detection part placed in the buffer storage part to perform, when a second instruction which read out data from the main storage part, to determine whether an unprocessed store instruction is allowed to be left behind with comparing an address of data to be read out and an address of data stored in said control information storing means, and an address directory indexing operation to detect data read out is registered in the buffer storage part, simultaneously.

#### [3. Detailed Description of the Invention]

##### [Industrial Applicability]

The present invention is related to an information processing unit including: a main storage part, an instruction control part to generate a control signal

and an address for accessing the main storage part, a buffer storage part to store instructions and data for execution when an instruction is executed.

[Prior Arts]

Fig.3 is a block diagram of a substantial part of a traditional example of this type of information processor units.

The main storage part 21 stores instructions, data to be computed, and computing result data. The instruction execution part 24 comprises plural of general purpose registers 28 to store data required for execution of computing and partway computing results temporarily, a group of computing units 291 - 29n to execute computing such as addition, subtraction, multiplication and division, logical operations, shift. A buffer storage part 22 is placed between the instruction execution part 27 and the main storage part 21, and stores instructions or data required for the instruction execution part 23 to improve access efficiency to the main storage part 21. An instruction control part 24 includes an address generation part 26 for accessing to the main storage part 21, a store operation control information stack 25, an address comparator 27, reads out an instruction from the main storage part 21 through the buffer storage part 22 and decodes the instruction, and supplies required address information and control information to the main storage part 21 and the instruction execution part 23. Next, an operation to execute the following instructions in the information processing unit is explained.

```
ADD  S0 ← S1 + S2      ... (1)
STORE M(A) ← S0      ... (2)
LOAD  S3 ← M(B)      ... (3)
```

When an addition result of an addition instruction (1) is stored by a store instruction (2) to an address A of the main storage part 21, the instruction control part 24 determines whether computing result of the addition instruction (1) is fixed, and when it is not fixed, an address information and control information required for execution of the store instruction (2) are stored in the store operation control information stack until said computing result is fixed, when said computing result is fixed, a control information corresponding to said store operation is taken out from the store operation control information stack, said store operation is executed. Next, when the load instruction (3) is executed, the instruction control part 24 compares



address of unprocessed store instruction registered in the store operation control information stack 25 and load address of the load instruction (3) to determine no conformity among them for avoiding loading of unprocessed data, before starting the load instruction, and then information required for said loading is sent to the buffer storage part 22 to start the load instruction (3).

#### [Problems to be Solved by the Invention]

Fig.2 is a time chart of an operation at starting an instruction when a load instruction is executed on a traditional information processing unit.

An address is generated by the address generation part 26 at time T1, the instruction control part 24 determines whether preceding unprocessed store instruction at starting the operation can be left behind, and an instruction allowed to be started is sent to the buffer storage part 22 at time T2. by this instruction, the buffer storage part 22, corresponding to the load execution instruction from the instruction control part 24, checks whether said read out data is registered in the buffer storage part 22 with referring to the address directory prior to data reading at time T3, when the data is registered, the data is read out and sent to the instruction execution part 23. In the traditional information processing unit mentioned above, as determination of leaving behind of unprocessed store instruction by a load instruction is performed by the instruction control part 24 and the determination of existing of target load data in the buffer storage part 22 is performed by the buffer storage part 22, as shown in Fig.2 (2), an execution time of the load instruction delayed at the time required for determining said leaving behind, compared to the case in which leaving behind of unprocessed store instruction by a load instruction is not performed.

#### [Means to Solve the Problem]

Plural of control information storage means to store storage control information, when a first instruction which stores data in the main storage part is under execution and data to be stored by the instruction is not ready, until the data becomes to be ready, said storage control information includes a storage address of said data, and a detection part placed in the buffer storage part to perform, when a second instruction which read out data from the main storage part, to determine whether an unprocessed store

instruction is allowed to be left behind with comparing an address of data to be read out and an address of data stored in said control information storing means, and an address directory indexing operation to detect data read out is registered in the buffer storage part, simultaneously are placed.

#### [Operation]

When a load instruction is executed, determination of leaving behind of unprocessed store instruction by a load instruction and detection of a load data registration are performed at the buffer storage part simultaneously and execution of a load instruction is determined, the delay of starting of load instruction at the time required for determination of leaving behind can be eliminated.

#### [Embodiment]

Next, an embodiment of the present invention is explained with drawings.

Fig.1 is a block diagram of a substantial part of one embodiment of an information processing unit according to the present invention.

Instructions and data required for processing are stored in the main storage part 1, instructions or data are stored/readout an instruction from the instruction control part through the buffer storage part 2. The buffer storage part 2 includes, a data entry 5 in which data from the main storage part 1 is stored, registers 8 and 9 which are used to send the data to the instruction execution part 3, an address register 7 to store addresses when the instruction control part 4 determines an instruction or data to be loaded is registered in the entry 5, an address directory 6 to store addresses of an instruction or data stored in the data entry 5, a comparator 12 to detect identical addresses with comparing addresses stored in the address register 7 and addresses in the address directory 6, an register 14 to store the results, stacks 10 and 11 in which address control information required for operation of a store instruction waiting for computing results, and a comparator 13 compares addresses stored in the address register 7 to addresses of the address control information stored in the stacks 10 and 11 for determining whether a follow-on load instruction can leave behind an unprocessed store instruction, a register 15 to store the results. The instruction control part 4 includes an address generation part 16 to calculate addresses required for read/store of instruction or data from/in the main storage part 1 and a

control signal generation part 17 to generate control signals to each functional part. The instruction execution part 3 includes a general register 18 to store data required for computing, and middle and final results of computing, each computing unit 19<sub>1</sub> – 19<sub>n</sub> to execute arithmetic a operation or a logical operation, and executes each operation according to control signals from the instruction control part 4.

Next, operation of this embodiment when said instructions are executed is explained.

When an addition result of the addition instruction (1) is stored in specified address in the main storage part 1 with the store instruction (2), the instruction control part 4 confirms that data required for addition and resources for the operation are ready; then instructs the instruction execution part 3 to start the operation.

When a store instruction (2) is executed, the instruction control part 4 sends a computing result and control information, when computing result of addition instruction (1) is fixed, or sends only control information, when computing result is not fixed, to the buffer storage part 2. The buffer storage part 2 executes the store operation when store data and control information are received, or holds the control information in stacks 10, 11 for storing control information until corresponding store data is received when computing result to be stored is not fixed and only control information is received.

When the instruction control part 4 executes a load instruction (3); when the load instruction is decoded, addresses and control information required for the load instruction are sent to the buffer storage part 2. The buffer storage part 2 confirms whether the data to be loaded is registered in the data entry of the buffer storage part 2 with referring to the address directory 6. Furthermore, the buffer storage part 2, together with address referring operation, checks whether the same address of an address of said load instruction is registered in the stack 10, 11 to determine processing of said load instruction can be executed earlier than execution of unprocessed store instruction registered in the stack 10, 11. And only when the target data is registered in data entry 5, a store instruction having the same address as the load address is not registered in the stack 10, 11, said load instruction (3) is executed, and data registered in the data entry 5 is sent to the instruction execution part 3. On the other hand, when the target data is not registered in

the data entry 5, or a store instruction having the same address as said load address is registered in the stack 10, 11 as an unprocessed state, the buffer storage part 2 notifies that to the instruction control part 4. On receiving that, the instruction control part 4 stops execution of instructions which use the buffer storage part 2 until factors mentioned above are removed.

Fig.2 (1) is a time chart of operations above mentioned. That is, by a load instruction read out in the instruction control part 9, an address required for execution of the load instruction generated by the address generation part 16 at time  $T_1$  and control information are shown to the buffer storage part 2. By that, address directory referring and determination of leaving behind are performed in the buffer storage part 2 simultaneously at time  $T_2$ , when the execution is decided, target data is read out at time  $T_3$ , and sent to the instruction execution part 12. Therefore, comparing to the example of a prior art (Fig.2 (2)), starting of the load instruction is earlier at a time require for determining leaving behind.

#### [Effect of the Invention]

As mentioned above, in the present invention, a buffer storage part includes a means to hold control information including an address required for executing an unprocessed store instruction waiting for computing results until fixing of computing results, and a means to determine whether the load instruction can be executed with leaving behind said unprocessed store instruction waiting for computing results, an operation of determining whether said load instruction can be executed with leaving behind said unprocessed store instruction and an operation of address directory referring of the buffer storage part are performed simultaneously, then it is not required for spending a time for determining whether said load instruction can be executed with leaving behind said unprocessed store instruction, by that delay of starting the load instruction can be avoided.

#### [Brief description of Drawings]

Fig.1 is a block diagram of a substantial part of an embodiment of an information processing unit according to the present invention.

Fig.2 (1), (2) are time charts of operation at starting a load instruction which leaves behind a store instruction waiting for fixing of computing results in both this embodiment and an example of prior arts.

Fig.3 is a block diagram of a substantial part of an example of information processing unit in prior arts.

- 1 : main storage part
- 2 : buffer storage part
- 3 : instruction execution part
- 4 : instruction control part
- 5 : data entry
- 6 : address directory
- 7 : address register
- 8, 9 : register
- 10, 11 : stack
- 12, 13 : comparator
- 14, 15 : register
- 16 : address generation part
- 17 : control signal generation part
- 18 : general register
- 19<sub>1</sub>, 19<sub>2</sub> – 19<sub>n</sub> : computing unit